**《计算机组成原理》课程实验报告**

**2114 存储芯片的实现**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **姓名** | 马玉坤 | **院系** | 计算机学院 | **学号** | 1150310618 |
| **实验目的：** | | | | | |
| 1. 了解2114 RAM的基本原理 2. 学习2114 RAM的实现方法 3. 进一步学习VHDL的语法和特性。 4. 提高VHDL调试能力。 | | | | | |
| **实验内容：** | | | | | |
| 实现一个2114 存储芯片。外特性与2114 芯片一致（P77，图4.12），可以设计成为64\*64 个存储单元的堆。 | | | | | |
| **实验环境：** | | | | | |
| 1. Xilinx Vivado v2016.3 (64-bit) 2. Nexys 4 DDR 开发板 | | | | | |
| **实验过程中遇到的问题：** | | | | | |
| **问题1**： 在VHDL中存储大小为64\*64的矩阵。  为了与课本上的形式相同，我决定使用二维矩阵来存储RAM中的数据。定义方式为  type MATRIX\_TYPE is array (63 downto 0) of STD\_LOGIC\_VECTOR (63 downto 0);  signal matrix : MATRIX\_TYPE;  此时matrix为一个二维矩阵。  **问题2**： 根据行列地址对矩阵中的数据进行访存。  根据课本上的内容，IO端口第i位数据对应矩阵中行地址为A(8 downto 3)，且列地址为A(9 downto 9) \* "1000"+A(2 downto 0) + I\*”1000”的数据。因此，可以使用循环结构，对地址对应的矩阵中的4位进行访存。 | | | | | |
| **实验设计：** | | | | | |
| 1. 开发板下方有16个开关，从右至左10个开关分别为A0,A1,A2,…,A9，从左至右4个开关分别为IO3,IO2,IO1,IO0。开关在上代表”1”，否则代表”0”。 2. 最右侧七段数码管显示当前输入的值，从0一直到F。 3. 左边第四位七段数码管显示当前输出的值，从0一直到F。 4. 开发板右侧的五个按钮中，按下上面按钮执行读取操作，按下下面按钮执行写入操作。 | | | | | |
| **实验结果：** | | | | | |
| 1. IO端口输入8，地址为”0000000000”，写入内存。  1. IO端口输入为A，地址为”0000000001”，写入内存。  1. 从地址”0000000001”读取，输出为A。  1. 从地址”0000000000”读取，输出为8。 | | | | | |
| **实验结论：** | | | | | |
| 2114 RAM的矩阵结构如下：  用VHDL实现时，可以使用二维数组定义存储矩阵，并使用循环结构通过地址来对IO端口以及存储矩阵进行访问。 | | | | | |